

10/582711

AP20 Rec'd PCT/PTO 12 JUN 2006

## PROCEDE DE FABRICATION DE PUCES ELECTRONIQUES EN SILICIUM AMINCI

L'invention concerne principalement la fabrication de capteurs d'image en couleur réalisés sur un substrat de silicium aminci. L'amincissement du silicium sur lequel est fait le capteur d'image est une technique permettant d'améliorer la colorimétrie en minimisant les  
5 interférences entre points d'image voisins correspondant à des couleurs différentes ; les interférences sont réduites grâce au fait que les filtres colorés qui servent à séparer les composantes primaires de la lumière peuvent être déposés sur la face arrière et non sur la face avant d'une  
10 plaquette de silicium et ils sont dès lors plus proches des zones photosensibles formées dans le silicium ; la face avant est celle sur laquelle sont faites les opérations de dépôt et gravure de couches formant l'essentiel de la matrice de photodétecteurs et de ses circuits de commande.

Un capteur d'image en couleur sur silicium aminci peut être réalisé de la manière suivante : on part d'une tranche semiconductrice (silicium en  
15 principe) sur la face avant de laquelle on effectue des opérations de masquage, d'implantation d'impuretés, de dépôt de couches de composition diverses provisoires ou définitives, de gravures de ces couches, de traitements thermiques, etc. ; ces opérations permettent de définir une  
20 matrice de pixels photosensibles et des circuits de traitement de signaux électriques associés à ces pixels ; on reporte ensuite la tranche par sa face avant contre la face avant d'un substrat de support ; on élimine la majeure partie de l'épaisseur de la tranche semiconductrice (c'est l'opération d'amincissement), laissant subsister sur le substrat de report une fine couche  
25 semiconductrice comprenant les zones photosensibles et les circuits associés ; et, ultérieurement, on dépose et on grave sur la face arrière de la couche semiconductrice ainsi amincie, diverses couches parmi lesquelles par exemple une couche métallique opaque et une couche de filtres de couleur.

On comprend qu'avec ce procédé, les filtres de couleur ne se  
30 trouvent pas au-dessus d'un empilement de couches isolantes et

conductrices qui ont pu être déposées (en technologie CMOS ou une autre technologie) sur les zones photosensibles au cours de la fabrication de la tranche semiconductrice. Bien au contraire, les filtres sont placés au-dessous des zones photosensibles, à l'opposé des couches isolantes et conductrices qui se trouvent alors de l'autre côté des zones photosensibles. Cela veut dire  
5 que dans l'utilisation du capteur dans une caméra, la lumière arrivera du côté de la face arrière du capteur, traversera les filtres colorés et atteindra directement les zones photosensibles sans avoir à traverser l'empilement de couches isolantes et conductrices.

10 C'est cette proximité entre les zones photosensibles et les filtres colorés qui permet d'assurer une bonne colorimétrie, pourvu que l'amincissement soit très prononcé : l'épaisseur résiduelle de silicium après amincissement est de 5 à 20 micromètres environ.

Ce procédé de fabrication pose deux types de problèmes : le  
15 premier problème est un problème de contact électrique entre l'extérieur du capteur et la circuiterie qui a été gravée sur la face avant de la tranche semiconductrice, face avant qui n'est plus accessible une fois que la tranche semiconductrice a été reportée sur un substrat de report ; il faut donc que des étapes de fabrication soient prévues pour rendre cet accès possible  
20 malgré l'opération de report et il faut que ces étapes de fabrication soient industriellement économiques et efficaces ; le deuxième problème est un problème de précision d'alignement des gravures qui sont faites sur la face arrière par rapport aux motifs de circuits qui ont pu être gravés, avant cette  
25 opération de report, sur la face avant : l'alignement de motifs sur les couches successives d'une même face est classique ; l'alignement de motifs situés sur deux faces différentes dont l'une n'est plus accessible est un problème plus difficile.

La présente invention a pour but de proposer un procédé de fabrication qui permet de fournir une solution à ces deux problèmes à la fois.  
30 Ce procédé est applicable de manière particulièrement avantageuse à la fabrication de capteurs d'image en couleurs, mais il est applicable plus généralement à la fabrication de toutes sortes de puces électroniques réalisées à partir de tranches de silicium aminci.

Selon l'invention, on propose un procédé de fabrication de puces  
35 électroniques à partir d'une tranche semiconductrice comportant sur sa face

avant une couche active mince en matériau semiconducteur, ce procédé comportant la réalisation de couches gravées sur la couche active, le report de la tranche par sa face avant sur un substrat de report, l'amincissement de la tranche semiconductrice par sa face arrière, puis le dépôt et la gravure de  
5 couches de matériaux sur la face arrière ainsi amincie, procédé caractérisé en ce que des tranchées verticales étroites sont creusées dans la tranche par sa face avant, avant l'opération de report, ces tranchées s'étendant à l'intérieur de la tranche sur une profondeur à peu près égale à l'épaisseur résiduelle de tranche semiconductrice qui subsistera après l'opération  
10 d'amincissement, les tranchées étant remplies d'un matériau conducteur isolé du matériau de la couche active et constituant des vias conducteurs entre la face avant et la face arrière de la tranche amincie.

Par l'expression "tranchées verticales étroites", on entend des tranchées à flancs verticaux parallèles dont la largeur est plusieurs fois plus  
15 petite que la profondeur et que la longueur. Par l'expression "remplies d'un matériau conducteur", on entend le fait que le matériau conducteur n'est pas seulement déposé sur les parois de la tranchée mais qu'il comble l'espace ouvert lors de la réalisation de la tranchée.

Ces tranchées verticales, qui s'étendent donc à peu près jusqu'à  
20 la future face arrière de la tranche, peuvent aussi servir de marques d'alignement optique pour les photogravures sur la face arrière ; en effet, elles sont positionnées précisément par rapport aux motifs de face avant, elles sont verticales, et, grâce aux différences d'indice optique entre le matériau semiconducteur et les matériaux qui constituent les vias  
25 conducteurs, elles sont visibles sur la face arrière après amincissement car elles débouchent directement sur cette face arrière ou bien elles s'approchent à une très faible distance de cette face arrière.

Les tranchées qui servent de marques d'alignement sont en principe non fonctionnelles en ce qui concerne la circuiterie électronique :  
30 elles sont situées en dehors de cette circuiterie, voire même parfois en dehors de la surface réservée aux puces sur la tranche. Mais elles sont constituées comme les tranchées qui ont un rôle fonctionnel d'établissement de connexions électriques entre la face avant et la face arrière. C'est lors d'une même opération de photogravure que sont gravées d'une part les  
35 tranchées destinées à servir de marques et d'autre part les tranchées

destinées à servir de vias conducteurs, et les opérations d'isolement des parois des tranchées et de remplissage des tranchées sont également simultanées pour les marques d'alignement et les vias fonctionnels servant à établir des contacts entre face avant et face arrière.

5

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- les figures 1 à 9 représentent les étapes successives de fabrication d'une puce de capteur d'image en couleur ;
- la figure 10 représente la puce terminée ;
- les figures 11 et 12 représentent, respectivement en coupe et en vue de dessus, la constitution d'un plot de contact de la puce.
- la figure 13 représente une variante de réalisation.

15

La figure 1 représente une tranche semiconductrice, en principe entièrement en silicium bien que ce ne soit pas obligatoirement le cas, sur laquelle on va réaliser une ensemble de puces de capteurs d'image individuels. La tranche sera découpée en puces individuelles à la fin du processus de fabrication. Chaque capteur comprend une matrice rectangulaire de zones photosensibles, et les circuits associés permettant de recueillir les charges photogénérées en chaque pixel de la matrice et d'établir un signal électronique représentant l'image reçue par le capteur. La technologie de fabrication du capteur est de préférence mais pas obligatoirement une technologie CMOS (Complementary Metal Oxide Semiconductor).

La tranche semiconductrice de la figure 1 est de préférence constituée par un substrat de silicium 10, fortement dopé de type p, sur la face avant duquel est formée une couche épitaxiale 12, également de type p mais beaucoup moins dopée. La couche épitaxiale est la couche active dans laquelle sont formées les zones photosensibles. Typiquement, le substrat a une épaisseur de quelques centaines de micromètres et la couche épitaxiale seulement une dizaine de micromètres (de préférence entre 5 et 10 micromètres mais pouvant aller jusqu'à 30 micromètres). De manière

générale, les échelles ne sont pas respectées sur les figures pour une plus grande lisibilité.

La fabrication implique d'une part des diffusions et implantations diverses dans le silicium à partir de la face supérieure ou face avant de la tranche, pour former notamment les zones photosensibles, et d'autre part des dépôts et gravures successives de couches conductrices et isolantes.

Avant de procéder à ces dépôts et gravures de couches électriquement fonctionnelles, on va effectuer des étapes spécifiques à la présente invention. On notera qu'on pourrait aussi envisager de les effectuer après ces dépôts et gravures ou à une étape intermédiaire, mais la réalisation de ces étapes en début de processus est préférée.

Ces étapes spécifiques consistent à former des ouvertures profondes verticales, en forme de tranchées étroites dans pratiquement toute l'épaisseur du silicium de la couche épitaxiale 12.

La figure 2 représente à titre d'illustration, quatre ouvertures 20, 22, 24, 26 ainsi formées sur la face avant de la tranche. Dans le mode de réalisation décrit, certaines de ces ouvertures (ouverture la plus à gauche 20 sur la figure 2) sont destinées à former des marques d'alignement, d'autres (ouvertures 22 et 24) sont destinées à former des contacts électriques, et d'autres encore (ouverture 26 la plus à droite) peuvent avoir d'autres fonctions (isolation entre différentes zones de silicium). Elles sont réalisées dans une même étape de fabrication.

Les ouvertures sont en principe en forme de tranchées verticales étroites, c'est-à-dire essentiellement plus profondes que larges. L'étroitesse est nécessaire dans la mesure où on verra qu'on comble ultérieurement ces tranchées et qu'il est plus facile de combler une tranchée étroite qu'une ouverture large. Ainsi, pour une ouverture de contact électrique devant laisser passer un courant important, on préférera réaliser plusieurs tranchées étroites voisines plutôt qu'une large ouverture, comme on le verra plus loin ; c'est pourquoi on a représenté côte à côte deux ouvertures 22 et 24 qui sont cependant destinées à former un seul contact électrique. La largeur de la tranchée est par exemple de l'ordre de 1 à 4 micromètres pour une profondeur de 5 à 30 micromètres. La longueur des tranchées dépend de la fonction des tranchées ; elle peut typiquement être de plusieurs dizaines de micromètres selon les besoins, soit en termes de visibilité optique (pour les

marques d'alignement), soit en termes de besoin de surface de contact (pour les ouvertures de contact).

La profondeur des tranchées est égale à la profondeur de la couche épitaxiale ou bien légèrement supérieure ou légèrement inférieure.

- 5 Pour les marques d'alignement, - ces marques resteront visibles ultérieurement même si les tranchées ne descendent pas jusqu'au fond de la couche épitaxiale : il peut subsister 1 à 3 micromètres de silicium épitaxial entre le fond de la tranchée et le bas de la couche épitaxiale sans que ce soit gênant optiquement (la couche épitaxiale étant relativement transparente).
- 10 Pour les contacts électriques et l'isolation, on a avantage à faire descendre les tranchées jusqu'à la limite entre la couche épitaxiale 10 et le substrat, voire même légèrement au delà, pour ne pas avoir besoin de graver une épaisseur de couche épitaxiale ensuite. Si à la fois des marques d'alignement et des contacts ou des tranchées d'isolation sont prévus, on
- 15 donnera la même profondeur à toutes les tranchées et cette profondeur sera de préférence égale à la profondeur de la couche épitaxiale. Sur les figures, les tranchées sont représentées comme ayant exactement la profondeur de la couche épitaxiale.

- La formation des tranchées à l'endroit désiré se fait de préférence
- 20 par oxydation superficielle de la couche épitaxiale, donc création d'une couche d'oxyde 27 puis masquage par une résine, photogravure de la résine, attaque de l'oxyde de silicium dans les ouvertures de la résine, élimination de la résine, et attaque du silicium par gravure ionique réactive anisotrope là où le silicium n'est pas protégé par l'oxyde. On sait bien aujourd'hui faire des
- 25 tranchées verticales étroites de 1 à 3 micromètres de large sur une profondeur de 10 micromètres ou plus.

On va reboucher les tranchées ainsi formées, d'une part pour planariser la surface en vue des étapes ultérieures de photogravure, d'autre part pour former des vias conducteurs pour les ouvertures de contact.

- 30 La solution préférée (figure 3) consiste alors d'abord à oxyder superficiellement la tranche de manière à recouvrir sa surface et les parois des tranchées d'une fine pellicule (quelques dizaines de nanomètres d'épaisseur) d'oxyde de silicium isolant 28, puis à effectuer un dépôt de silicium polycristallin 30 fortement dopé, donc conducteur. Le dépôt comble
- 35 les tranchées étroites et recouvre la surface de la tranche. Le silicium

polycristallin dopé est alors éliminé sur une épaisseur verticale qui correspond à l'épaisseur déposée sur la tranche. Le silicium subsiste dans les tranchées (figure 4) et constitue des vias conducteurs 20' 22', 24', 26' entre la face avant de la couche active épitaxiale 12 et la face arrière de cette couche. Ces vias auront effectivement une fonction de vias conducteurs pour l'établissement de contacts électriques en ce qui concerne les ouvertures 22 et 24 mais pas nécessairement en ce qui concerne les ouvertures 20 et 26.

On effectue alors les étapes de fabrication du capteur d'image proprement dit avec ses circuits associés, c'est-à-dire les étapes de dopage, les implantations dans la couche épitaxiale, les traitements thermiques, les dépôts de couches conductrices et isolantes, les photogravures nécessaires à chaque fois, etc. On n'entrera pas dans le détail de cette fabrication qui est maintenant classique. On a seulement représenté sur la figure 5 :

- d'une part une couche isolante 31 qui recouvre la surface de la tranche et qui est ouverte localement pour assurer des contacts, notamment au dessus des vias conducteurs 22' et 24' ;

- d'autre part une couche conductrice 32, en métal ou silicium polycristallin fortement dopé, qui sert à établir des interconnexions dans le circuit et qui vient notamment en contact, à travers la couche isolante 31, avec les vias conducteurs 22' et 24' ;

- et enfin on a représenté globalement, sous forme d'une couche 34, un empilement de multiples couches isolantes et conductrices photogravées selon les motifs appropriés pour constituer le capteur et ses circuits associés.

Lors des étapes de photogravure, les tranchées 20, remplies de silicium polycristallin 30 isolé par la couche isolante 28 et transformées en vias 20', servent de marques optiques d'alignement pour les opérations de photogravure qui suivent la réalisation de ces tranchées. Tous les motifs de gravure effectués par la face avant de la tranche semiconductrice sont donc progressivement alignés les uns sur les autres en prenant pour référence initiale les tranchées 20. Les vias conducteurs 20' sont visibles en raison des différences d'indice entre les matériaux silicium, silicium polycristallin, et oxyde de silicium qui les composent.

La fin du processus de dépôt et gravure des couches sur la face avant comprend en principe une étape de planarisation, c'est-à-dire une étape de dépôt de couche qui comble les différences de niveau de relief dues aux étapes successives de dépôt et de gravure. On suppose donc que  
5 la partie supérieure de la couche 34 est une surface plane, par exemple réalisé à l'aide d'un dépôt d'oxyde de silicium ou de polyimide planarisant.

Le traitement de la face avant de la tranche semiconductrice est maintenant terminé. La tranche est alors reportée sur un substrat de report 40 (figure 6). Ce report se fait par la face avant de la tranche, c'est-à-dire que  
10 c'est la face avant, planarisée, qui est collée sur une face plane du substrat de report. La tranche 10 avec sa couche épitaxiale 12 et ses couches photogravées 34 est donc représentée retournée, face avant vers le bas, sur la figure 6 et les figures suivantes.

Le report de la tranche de silicium peut se faire par plusieurs  
15 moyens, le moyen le plus simple étant un collage par adhérence moléculaire, la grande planéité des surfaces en contact engendrant des forces de contact très élevées. Un collage avec un matériau de collage est également possible. D'autres méthodes sont encore possibles.

Après report de la tranche de silicium par sa face avant sur le  
20 substrat de report, on élimine par sa face arrière (en haut sur la figure 6) la majeure partie de l'épaisseur de la tranche de silicium pour ne laisser subsister que la couche active épitaxiale 12 (figure 7).

L'opération d'amincissement peut se faire par usinage mécanique terminé par un usinage chimique, ou par usinage mécano-chimique, ou par  
25 usinage chimique uniquement, ou par d'autres procédés.

L'amincissement fait affleurer le fond des tranchées 20, 22, 24, 26 qui ont été creusées et rebouchées dans les étapes précédentes.

La surface de la tranche (appelée encore face arrière par référence à la face avant maintenant collée sur le substrat de report) peut  
30 subir maintenant des opérations de dépôt de couches et de gravures de couches.

Pour l'alignement des motifs de gravure de ces couches, on utilise les marques optiques constituées par le fond affleurant des vias 20' formés dans les tranchées 20. Ce fond est visible même s'il subsiste une fine  
35 couche d'isolant 28 ; il serait d'ailleurs visible même si une épaisseur de 1 ou

2 micromètres de silicium épitaxial subsistait entre le fond du via et la face arrière de la tranche. Les marques optiques ainsi constituées sont bien positionnées par rapport aux motifs de la face avant puisque les tranchées sont verticales.

5            Parmi les couches déposées et photogravées sur la face arrière, il y a en premier lieu une couche isolante 42 (figure 8) ouverte localement à l'endroit des vias 22' et 24'. Lors de l'ouverture de cette couche isolante on ouvre également le fond isolant des vias (couche 28). Si les tranchées étaient creusées à une profondeur légèrement inférieure à celle de la couche  
10 épitaxiale, des étapes complémentaires de gravure de la couche épitaxiale seraient prévues pour compléter la formation des vias conducteurs.

          Il y a aussi au moins une couche conductrice 44, de préférence métallique (aluminium notamment) qui servira notamment à former des interconnexions et à constituer des plots de contact destinés à assurer la  
15 connexion avec l'extérieur de la puce après la fin de la fabrication. Dans le cas d'un capteur d'image, cette couche peut aussi servir de couche de masquage pour protéger de la lumière des zones de capteur (à l'intérieur de la matrice de pixels ou dans les circuits périphériques) qui, en raison du fait que le silicium est par nature photosensible, peuvent être perturbées par la  
20 lumière. On a représenté cette couche d'interconnexions 44 non seulement sous forme d'un plot de contact 44' qui vient en contact direct avec les vias 22' et 24', mais aussi sous forme de motifs périodiques 44'' de masquage à l'intérieur d'une zone correspondant à la matrice de pixels du capteur d'image (partie gauche de la figure 8).

25            Le plot de contact 44' pourra servir de plot de soudure d'une connexion filaire, ou bien être relié par une interconnexion de la couche 44 à un plot de soudure de connexion filaire situé non pas au-dessus des vias 22' et 24' mais à un autre endroit (les plots sont en principe à la périphérie de la puce) ; il est cependant plus simple de prévoir que les plots de soudure sont  
30 directement situés au dessus des vias lesquels sont alors à la périphérie de la puce.

          Pour un capteur d'image en couleurs, outre la couche métallique 44, les opérations de dépôt et gravure sur la face arrière comprennent notamment le dépôt et la gravure successive de trois couches de filtres

colorés arrangés matriciellement pour définir des pixels juxtaposés correspondant aux couleurs primaires de la lumière.

Le processus de dépôt des filtres colorés est le suivant : dépôt d'une première couche de planarisation 46 au dessus de l'ensemble de la face arrière de la tranche. Dépôt et photogravure d'une première couleur de filtres, puis d'une deuxième puis d'une troisième.

Ces couches de filtre sont symbolisées sur la figure 9 par une couche 48 au dessus d'une zone considérée comme la zone de prise d'image du capteur.

La figure 10 représente la tranche terminée. La couche de filtres 48 est recouverte d'une dernière couche de planarisation et de protection 50. C'est une couche isolante. Elle est ouverte à l'endroit des plots de soudure 44' de sorte qu'un fil de connexion pourra être soudé entre ce plot et un boîtier dans lequel sera montée la puce.

La tranche terminée est découpée classiquement en puces individuelles.

Les figures 11 et 12 représentent un détail de réalisation d'un plot de contact de connexion extérieure 44' relié par des vias conducteurs à une zone conductrice 32 qui a été réalisée lors des étapes de fabrication, avant report sur le substrat 40, sur la face avant de la tranche.

Le plot est constitué par une surface rectangulaire qui recouvre deux groupes de tranchées : le premier groupe est constitué par une série de tranchées parallèles constituées en vias conducteurs 22' qui viennent tous en contact en bas avec la zone 32 et en haut avec le plot 44' ; le deuxième groupe est une tranchée d'isolation 26' qui entoure toute la zone de couche épitaxiale située sous le plot de connexion extérieure 44'. Cette tranchée d'isolation est constituée exactement comme les vias conducteurs 22' mais elle n'est pas connectée à un conducteur supérieur et un conducteur inférieur. Sa fonction est d'isoler électriquement du reste de la couche épitaxiale toute la zone de couche épitaxiale située sous le plot de contact 44'. De telles tranchées d'isolation pourraient être prévues pour isoler électriquement les unes des autres différentes zones de couche épitaxiale. Par exemple, une tranchée pourrait isoler du reste de la couche à la fois un plot de contact et un amplificateur dont le plot constitue la sortie.

La largeur des tranchées est ici d'environ 1 micromètre, l'épaisseur de la couche épitaxiale donc la profondeur des tranchées est d'environ 6 micromètres, les dimensions latérales du plot sont de l'ordre de 100 micromètres.

5 Sur la figure 11 qui est agrandie par rapport aux figures précédentes, on a représenté une couche d'oxyde de silicium thermique 52 pour montrer que les étapes réalisées sur la face avant peuvent bien sûr inclure des étapes d'oxydation thermiques classiques.

Une variante importante de l'invention peut être envisagée. En effet, dans ce qui vient d'être décrit, on considère que la puce de capteur d'image finalement réalisée possède des plots de contact sur la face qui reçoit de la lumière, face qu'on a appelée face arrière de la tranche semiconductrice. Mais on peut prévoir aussi qu'après le dépôt de la couche de planarisation finale 50 on colle à nouveau la tranche sur un autre substrat de report 60, transparent, en verre ou quartz. La lumière arrive alors par ce substrat de verre ou de quartz. Le substrat de report 40 devient superflu, le substrat de verre ou quartz assurant la tenue mécanique de la tranche.

On supprime ou on enlève alors le substrat de report 40, par usinage mécanique et/ou chimique, jusqu'à faire affleurer ou presque affleurer la partie supérieure de l'ensemble de couches 34. Ces couches comprennent notamment des couches d'interconnexions et elles peuvent en particulier comporter une couche métallique finale comportant des plots de contact pour la soudure de fils de connexion. Dans ce cas, ce ne sont pas les plots 44' qui servent pour le contact avec l'extérieur puisqu'ils ne sont plus accessibles à cause du substrat de report en verre ou quartz. Mais ce sont les plots de l'ensemble 34.

Cette solution remet comme face supérieure de la puce la face avant sur laquelle ont été réalisées classiquement les étapes de dépôts implantations, gravures servant à la constitution du capteur d'image. Bien que la face arrière ne soit alors plus accessible, les tranchées faites en début de procédé permettent d'accéder facilement, à travers les plots 44', les vias conducteurs 22', 24', les zones conductrices 32, et d'autres couches conductrices de l'ensemble 34, à la métallisation de masquage de lumière 44 qui serait autrement inaccessible. Ceci est important car il est souhaitable de pouvoir contrôler le potentiel de cette métallisation arrière.

La figure 13 représente la constitution d'une puce de capteur ainsi réalisée, sur laquelle apparaissent, outre les éléments déjà mentionnés en référence aux figures 1 à 9, le substrat transparent 60, un plot de soudure extérieure 62, relié à travers les couches de l'ensemble 34 à la couche conductrice 32 et donc à la couche 44, et une couche de passivation et protection 64 ouverte à l'endroit du plot 62. Le plot 62 est réalisé à la fin de l'étape représentée à la figure 5.

## REVENDICATIONS

5

1. Procédé de fabrication de puces électroniques à partir d'une tranche semiconductrice (10) comportant sur sa face avant une couche active mince (12) en matériau semiconducteur, ce procédé comportant la réalisation de couches gravées sur la couche active, le report de la tranche par sa face avant sur un substrat de report (40), l'amincissement de la tranche semiconductrice par sa face arrière, puis le dépôt et la gravure de couches de matériaux sur la face arrière ainsi amincie, procédé caractérisé en ce que des tranchées verticales étroites (20, 22, 24, 26) sont creusées dans la tranche par sa face avant, avant l'opération de report, ces tranchées s'étendant à l'intérieur de la tranche sur une profondeur à peu près égale à l'épaisseur résiduelle de tranche semiconductrice qui subsistera après l'opération d'amincissement, les tranchées étant remplies d'un matériau conducteur isolé de la couche active et constituant des vias conducteurs (20', 22', 24', 26') entre la face avant et la face arrière de la couche amincie.

2. Procédé selon la revendication 1, caractérisé en ce que les tranchées sont formées avant d'autres étapes de dépôt et gravure de couches électriquement fonctionnelles sur la face avant de la tranche semiconductrice.

3. Procédé selon la revendication 1 et 2, caractérisé en ce qu'au moins une tranchée est constituée en forme de marque d'alignement visible de la face arrière après amincissement pour permettre un alignement des motifs de gravure des couches de la face arrière par rapport aux motifs de gravure de couches sur la face avant.

4. Procédé selon l'une des revendications 1 à 3, caractérisé en ce qu'au moins une couche métallique (44) est déposée sur la face arrière de la tranche après amincissement, cette couche étant reliée, par des vias conducteurs formés dans au moins une tranchée étroite, à au moins une

couche conductrice (32) formée, avant report de la tranche sur le substrat de report, sur la face avant de la tranche.

5 Procédé selon la revendication 4, caractérisé en ce que la couche métallique est une couche de masquage de lumière destinée à empêcher que la lumière ne frappe des parties sensibles à la lumière dans un capteur d'image réalisé sur la tranche.

10 6. Procédé selon l'une des revendications 1 à 5, caractérisé en ce que des couches de filtres colorés sont déposées sur la face arrière de la tranche après report et amincissement.

15 7. Procédé selon la revendication , caractérisé en ce que, après dépôt des filtres colorés, on reporte la tranche semiconductrice et son substrat de report sur un autre substrat (60), transparent, et on élimine le substrat de report.

20 8. Procédé selon l'une des revendications précédentes, caractérisé en ce que les tranchées ont leurs parois internes recouvertes d'oxyde mince de silicium (28) et sont remplies de silicium polycristallin (30) fortement dopé pour être conducteur.

25 9. Procédé selon l'une des revendications 1 à 8, caractérisé en ce qu'au moins une tranchée sert à isoler latéralement une portion de couche active d'autres portions de couche active, et notamment à isoler une zone de couche active située au dessous d'un plot de connexion extérieure, des zones de couche active voisines.

30 10. Procédé selon l'une des revendications 1 à 9, caractérisé en ce que la tranche semiconductrice comprend un substrat de silicium fortement dopé recouvert d'une couche épitaxiale plus faiblement dopée constituant la couche active, d'environ 5 à 20 micromètres d'épaisseur, et en ce que la profondeur des tranchées est sensiblement égale à l'épaisseur de la couche épitaxiale.

11. Capteur d'image en couleur comportant

- un substrat de report (40, 60),
- une couche de silicium de faible épaisseur dans laquelle est réalisée une matrice de zones photosensibles,

5                   - des couches gravées sur une face avant de cette couche de silicium,

- au moins une couche métallique et des couches de filtres colorés gravées sur l'autre face, arrière, de la couche de silicium,

10                  - des tranchées verticales étroites traversant toute la couche de silicium, ayant leurs parois latérales revêtues d'une couche isolante et remplies d'un matériau conducteur.

12. Capteur d'image en couleur selon la revendication 11, caractérisé en ce qu'au moins une tranchée remplie de matériau conducteur  
15                  constitue un via conducteur en contact d'un côté avec la couche métallique sur la face arrière, et de l'autre avec au moins une couche conductrice sur la face avant.

13. Capteur d'image en couleur selon la revendication 12, caractérisé en ce qu'il comporte une série de tranchées verticales parallèles,  
20                  disposées sous un même plot de contact de connexion extérieure du capteur d'image et connectées électriquement à ce plot.

14. Capteur d'image en couleur selon l'une des revendications 11 à 13, caractérisé en ce qu'au moins une tranchée verticale constitue une  
25                  tranchée d'isolation entre deux zones de silicium voisines de la couche de silicium.

15. Capteur d'image en couleur selon la revendication 14, caractérisé en ce que la tranchée qui constitue une tranchée d'isolation  
30                  entoure complètement une zone de silicium située au dessous d'un plot de contact de connexion extérieure du capteur d'image.

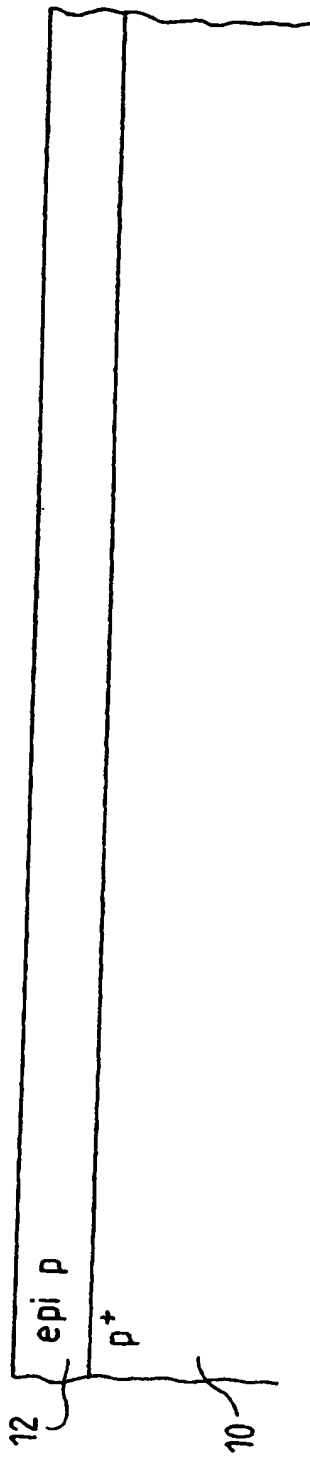


FIG. 1

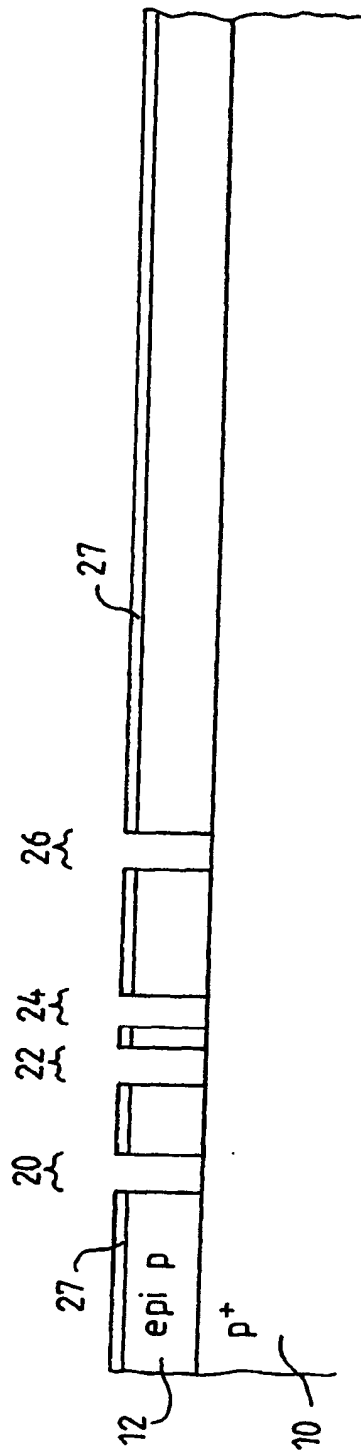


FIG. 2

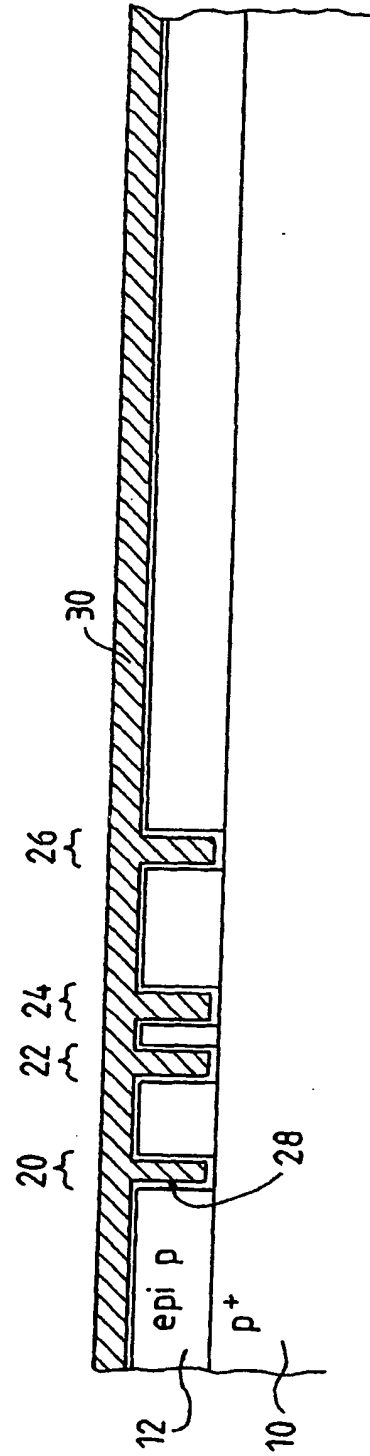
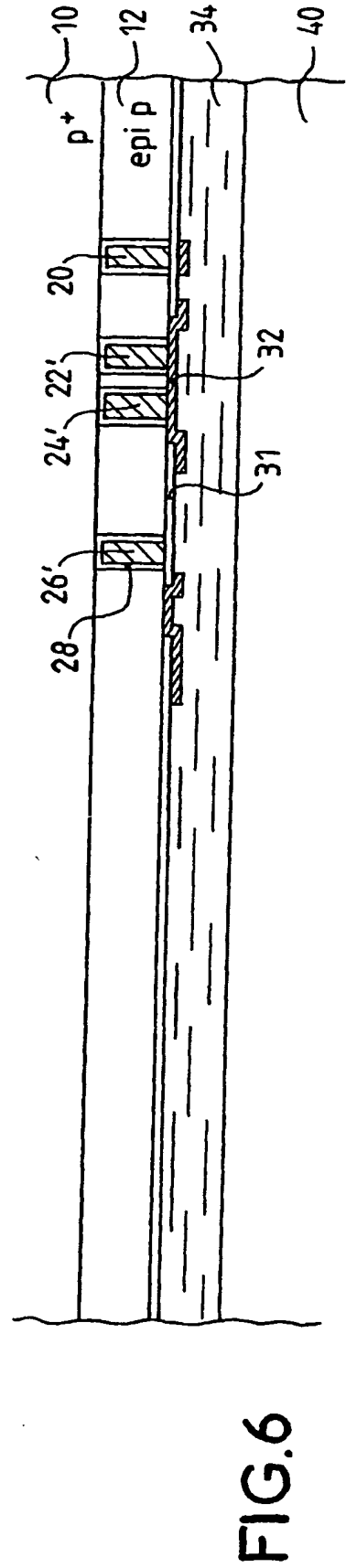
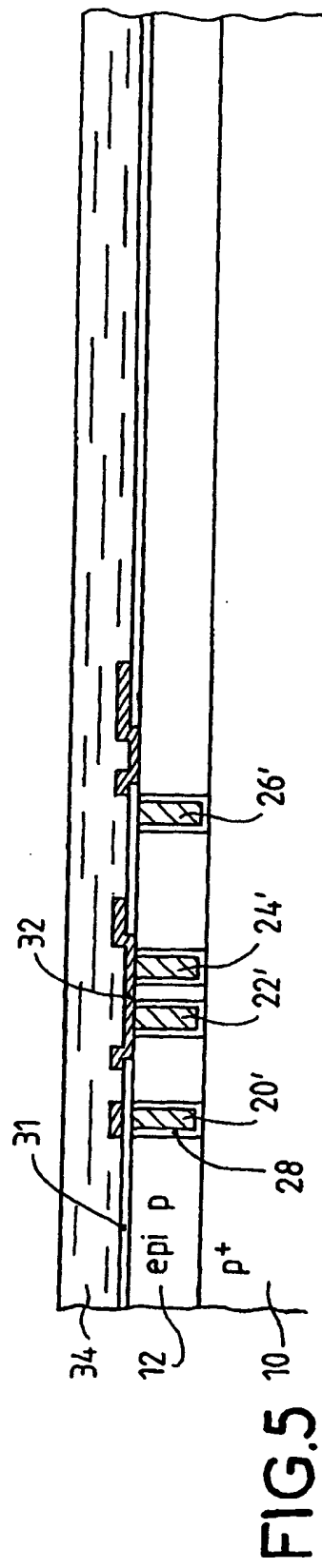
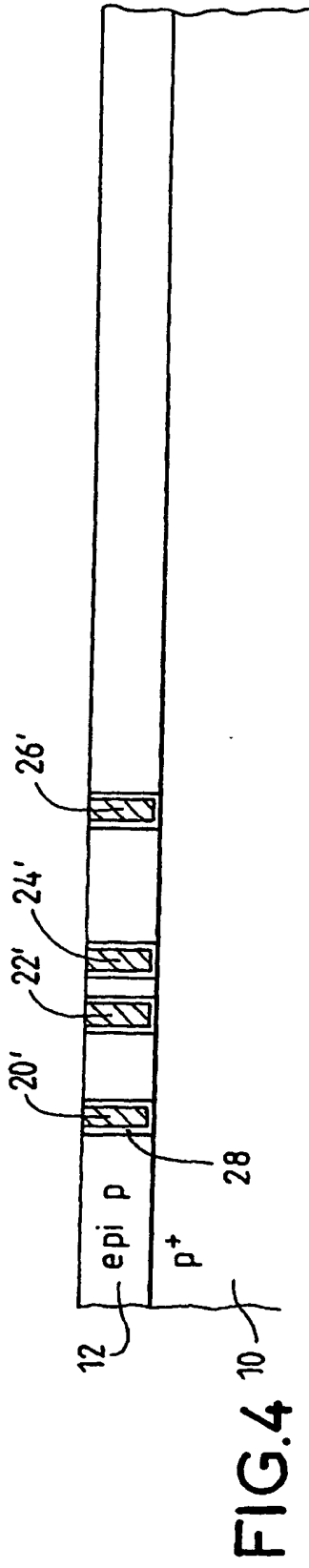


FIG. 3



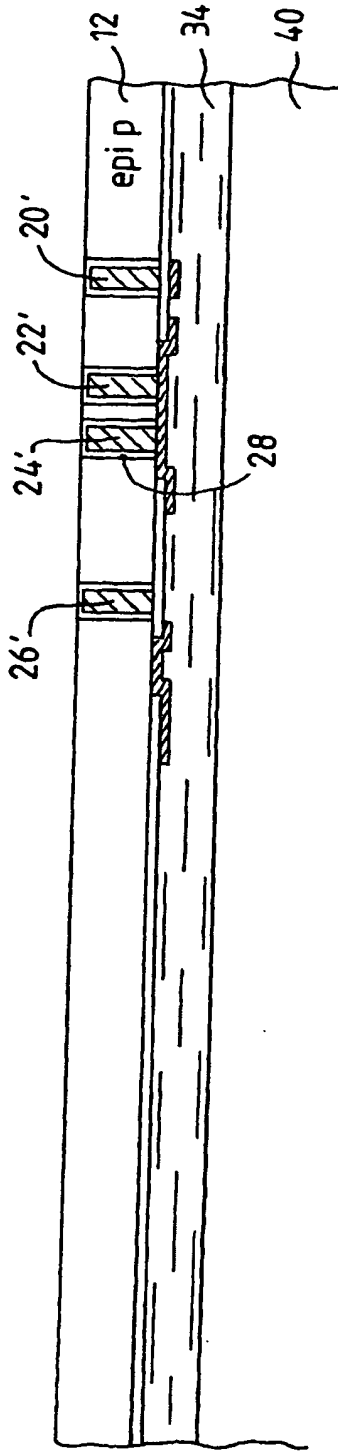


FIG. 7

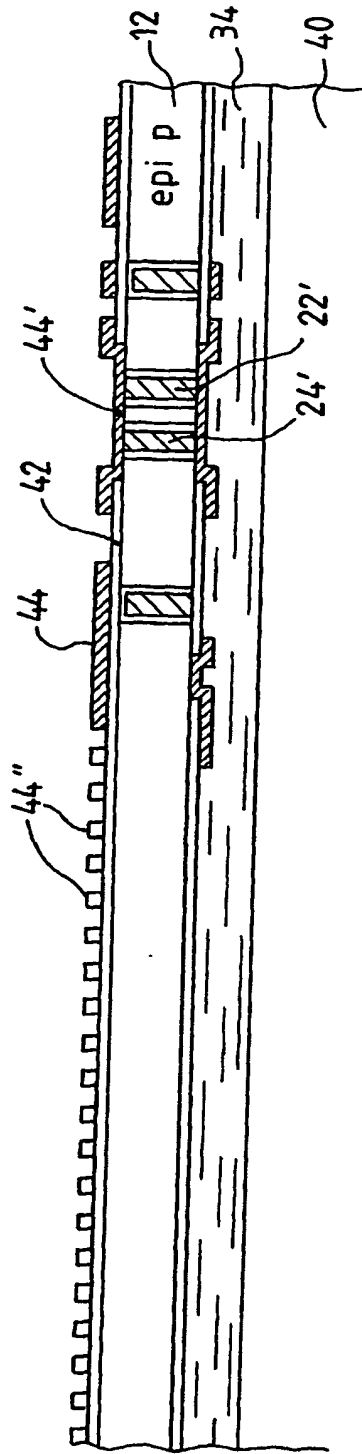


FIG. 8

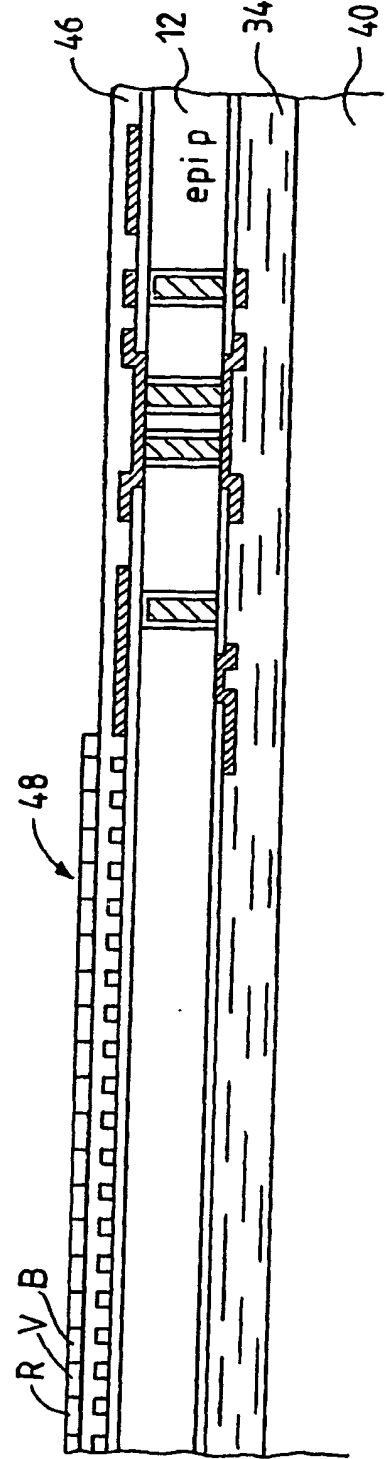


FIG. 9

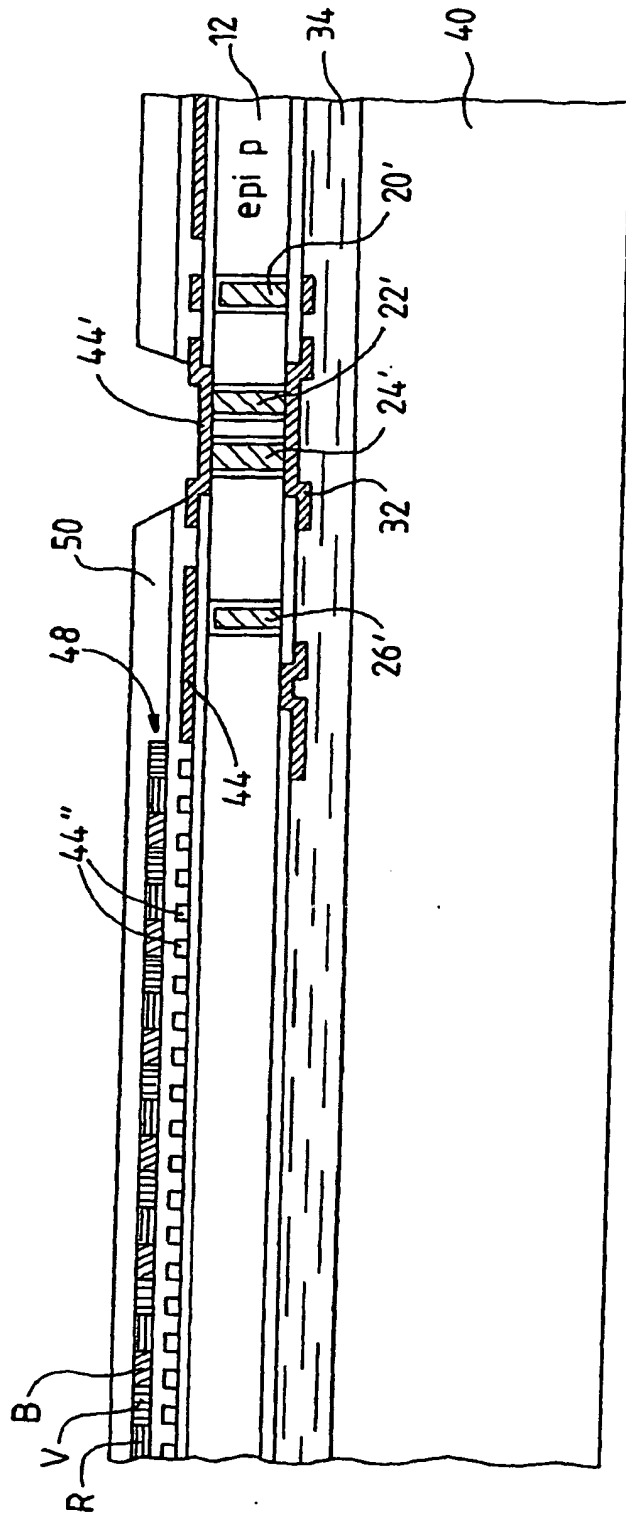


FIG.10

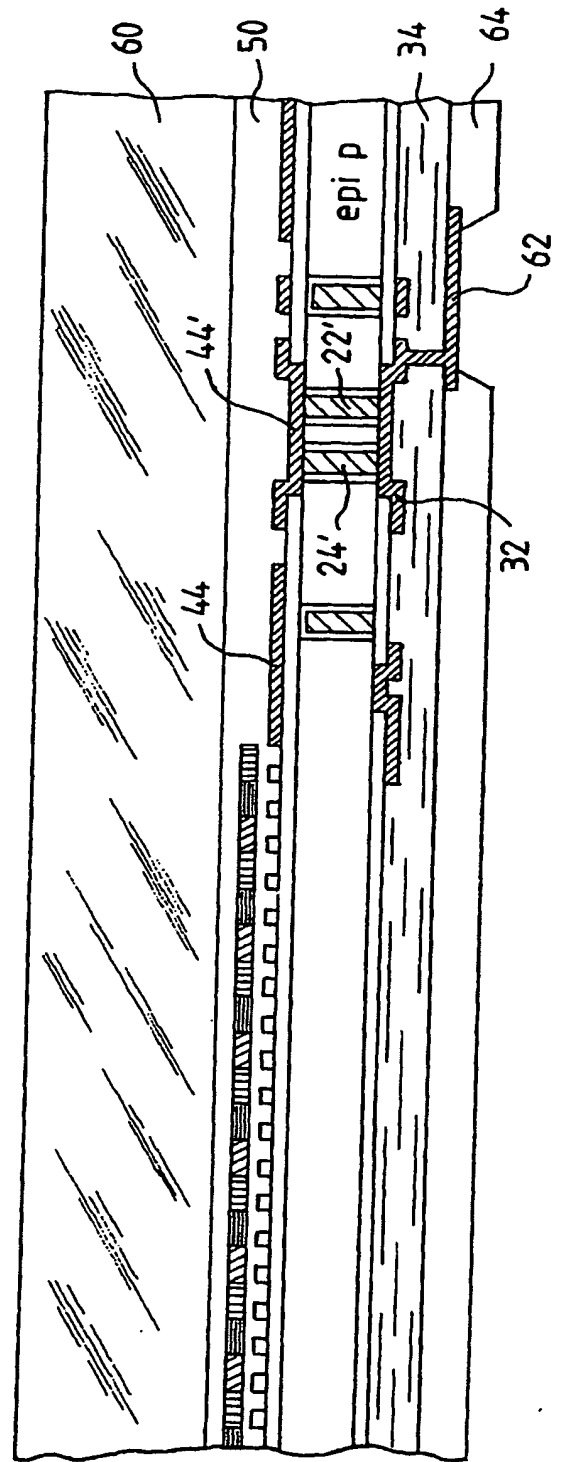
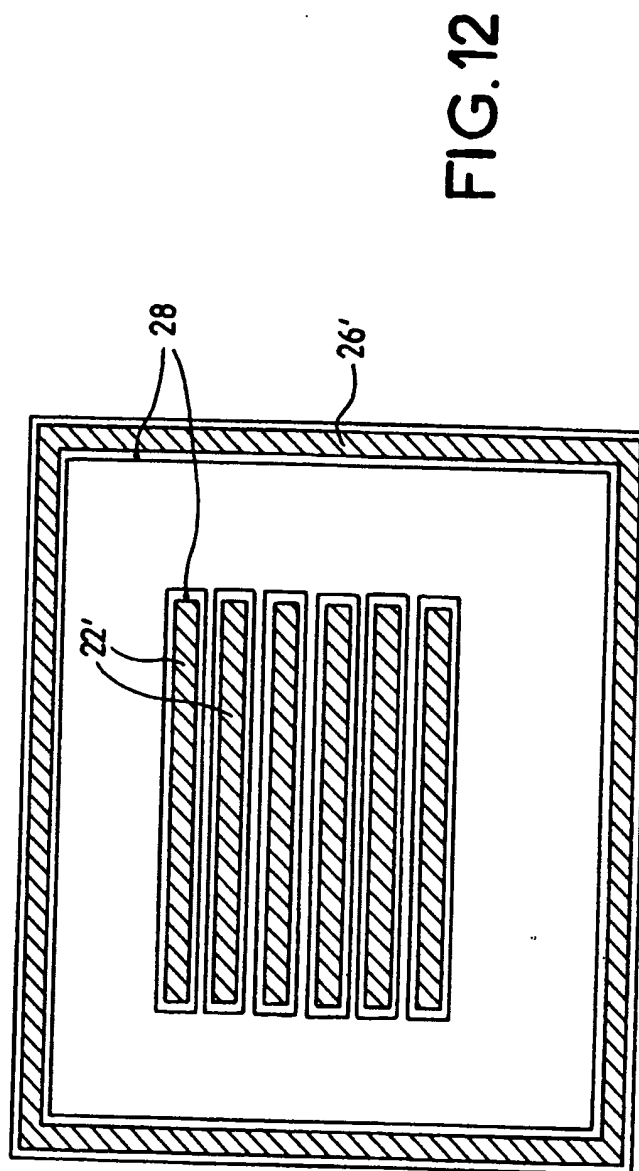
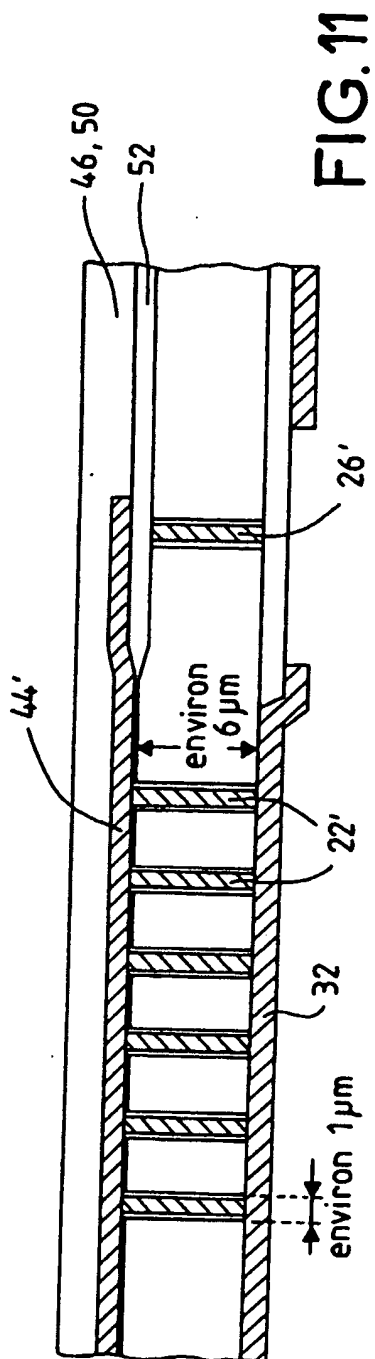


FIG.13



## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2004/053003A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L27/146 H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	FR 2 829 289 A (ATEL GRENOBLE S A) 7 March 2003 (2003-03-07)	1-14
Y	figure 6 page 5, line 17 - line 31 page 11, line 9 - page 12, line 7; figure 4	15
X	FR 2 829 291 A (ATEL GRENOBLE S A) 7 March 2003 (2003-03-07)	1-14
Y	page 5, line 13 - page 8, line 3; figures 2-5	15
Y	US 6 008 506 A (MORIKAWA ET AL) 28 December 1999 (1999-12-28) figure 3	15
Y	US 2002/043699 A1 (AKIYAMA HAJIME) 18 April 2002 (2002-04-18) figures 16,17	15

☐ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*8\* document member of the same patent family

Date of the actual completion of the international search

19 May 2005

Date of mailing of the international search report

07/06/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Bernabé Prieto, A

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2004/053003

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
FR 2829289	A	07-03-2003	FR 2829289 A1	07-03-2003
			EP 1421623 A1	26-05-2004
			WO 03019668 A1	06-03-2003
			JP 2005501421 T	13-01-2005
			US 2004251477 A1	16-12-2004
FR 2829291	A	07-03-2003	FR 2829291 A1	07-03-2003
			CA 2457905 A1	06-03-2003
			CN 1550042 A	24-11-2004
			EP 1421624 A1	26-05-2004
			WO 03019669 A1	06-03-2003
			JP 2005501422 T	13-01-2005
			US 2005032265 A1	10-02-2005
US 6008506	A	28-12-1999	JP 2817703 B2	30-10-1998
			JP 9293893 A	11-11-1997
			DE 19717562 A1	06-11-1997
			KR 244048 B1	01-02-2000
			US 5994154 A	30-11-1999
			US 5793060 A	11-08-1998
US 2002043699	A1	18-04-2002	JP 2002124681 A	26-04-2002

## RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT/EP2004/053003

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 7 H01L27/146 H01L21/768

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

## B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, PAJ, WPI Data

## C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	FR 2 829 289 A (ATMEL GRENOBLE S A) 7 mars 2003 (2003-03-07)	1-14
Y	figure 6 page 5, ligne 17 - ligne 31 page 11, ligne 9 - page 12, ligne 7; figure 4	15
X	FR 2 829 291 A (ATMEL GRENOBLE S A) 7 mars 2003 (2003-03-07)	1-14
Y	page 5, ligne 13 - page 8, ligne 3; figures 2-5	15
Y	US 6 008 506 A (MORIKAWA ET AL) 28 décembre 1999 (1999-12-28) figure 3	15
Y	US 2002/043699 A1 (AKIYAMA HAJIME) 18 avril 2002 (2002-04-18) figures 16,17	15

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

## \* Catégories spéciales de documents cités:

- \*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- \*E\* document antérieur, mais publié à la date de dépôt international ou après cette date
- \*L\* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- \*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- \*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

\*T\* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

\*X\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

\*Y\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

\*Z\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

19 mai 2005

Date d'expédition du présent rapport de recherche internationale

07/06/2005

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Bernabé Prieto, A

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale No  
PCT/EP2004/053003

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
FR 2829289 A	07-03-2003	FR 2829289 A1	07-03-2003
		EP 1421623 A1	26-05-2004
		WO 03019668 A1	06-03-2003
		JP 2005501421 T	13-01-2005
		US 2004251477 A1	16-12-2004
FR 2829291 A	07-03-2003	FR 2829291 A1	07-03-2003
		CA 2457905 A1	06-03-2003
		CN 1550042 A	24-11-2004
		EP 1421624 A1	26-05-2004
		WO 03019669 A1	06-03-2003
		JP 2005501422 T	13-01-2005
		US 2005032265 A1	10-02-2005
US 6008506 A	28-12-1999	JP 2817703 B2	30-10-1998
		JP 9293893 A	11-11-1997
		DE 19717562 A1	06-11-1997
		KR 244048 B1	01-02-2000
		US 5994154 A	30-11-1999
		US 5793060 A	11-08-1998
US 2002043699 A1	18-04-2002	JP 2002124681 A	26-04-2002